

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.
010528655 **Image available**
WPI Acc No: 1996-025608/199603
Related WPI Acc No: 2002-283745
XRAM Acc No: C96-008476
XRPX Acc No: N96-021743

AM

Semiconductor integrated circuit for monolithic active matrix -
including active matrix circuit and thin film transistor with drive
circuit, giving high characteristics and reliability

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: KAWASAKI Y; KOYAMA J; KOYAMA

Number of Countries: 003 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7297407	A	19951110	JP 94107575	A	19940422	199603 B
US 5889291	A	19990330	US 95423085	A	19950418	199920
			US 96688829	A	19960731	
KR 287316	B	20010416	KR 959506	A	19950422	200219
			KR 200049311	A	20000824	
US 6441399	B1	20020827	US 95423085	A	19950418	200259
			US 96688829	A	19960731	
			US 99229677	A	19990113	
US 20020195634	A1	20021226	US 95423085	A	19950418	200304
			US 96688829	A	19960731	
			US 99229677	A	19990113	
			US 2002202873	A	20020726	
KR 360965	B	20021123	KR 959506	A	19950422	200334
			KR 200148963	A	20010814	
US 6599791	B1	20030729	US 95423085	A	19950418	200354
			US 96688829	A	19960731	
			US 99229676	A	19990113	

Priority Applications (No Type Date): JP 94107575 A 19940422

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 7297407	A	10	H01L-029/786	
US 5889291	A		H01L-029/04	Cont of application US 95423085
KR 287316	B		G02F-001/133	Div ex application KR 959506 Previous Publ. patent KR 95033582
US 6441399	B1		H01L-029/04	Cont of application US 95423085 Div ex application US 96688829 Div ex patent US 5889291
US 20020195634	A1		H01L-029/94	Cont of application US 95423085 Div ex application US 96688829 Div ex application US 99229677 Div ex patent US 5889291 Div ex patent US 6441399
KR 360965	B		G02F-001/133	Div ex application KR 959506
US 6599791	B1		H01L-021/00	Cont of application US 95423085 Div ex application US 96688829

Abstract (Basic): JP 7297407 A

The circuit comprises an active matrix circuit and a thin film transistor of which a drive circuit for the active matrix circuit consists are a P-channel type. At least a thin film transistor of which the active matrix circuit consists is an offset gate type.

ADVANTAGE - A monolithic-type active matrix device having high characteristics and reliability is provided.

Dwg.1/12

Title Terms: SEMICONDUCTOR; INTEGRATE; CIRCUIT; MONOLITHIC; ACTIVE; MATRIX; ACTIVE; MATRIX; CIRCUIT; THIN; FILM; TRANSISTOR; DRIVE; CIRCUIT; HIGH; CHARACTERISTIC; RELIABILITY

Derwent Class: L03; P81; U14

International Patent Class (Main): G02F-001/133; H01L-021/00; H01L-029/04; H01L-029/786; H01L-029/94

International Patent Class (Additional): G02F-001/1345; G02F-001/136; H01L-021/84; H01L-031/036

File Segment: CPI; EPI; EngPI

DIALOG(R)File 345:lnpadoc/Fam. & Legal Stat

(c) 2004 EPO. All rts. reserv.

12747288

Basic Patent (No,Kind,Date): JP 7297407 A2 19951110 <No. of Patents: 006>

SEMICONDUCTOR INTEGRATED CIRCUIT (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): KOYAMA JUN; KAWASAKI YUJI

IPC: *H01L-029/786; G02F-001/1345; G02F-001/136

CA Abstract No: *124(06)074074C; 124(06)074074C

Derwent WPI Acc No: *C 96-025608; C 96-025608

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7297407	A2	19951110	JP 94107575	A	19940422 (BASIC)
JP 3402400	B2	20030506	JP 94107575	A	19940422
US 5889291	A	19990330	US 688829	A	19960731
US 20020195634	AA	20021226	US 202873	A	20020726
US 6441399	BA	20020827	US 229677	A	19990113
US 6599791	BA	20030729	US 229676	A	19990113

Priority Data (No,Kind,Date):

JP 94107575 A 19940422

US 688829 A 19960731

US 423085 B1 19950418

US 202873 A 20020726

US 229677 A3 19990113

US 688829 A3 19960731

US 229677 A 19990113

US 229676 A 19990113

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.
G02F 1/133(11) 공개번호 특 1995-0033582
(43) 공개일자 1995년 12월 26일

(21) 출원번호	특 1995-0009506
(22) 출원일자	1995년 04월 22일
(30) 우선권주장	94-107575 1994년 04월 22일 일본(JP)
(71) 출원인	가부시끼가미사 한도다이 에네르기 엔터프리즈 아마자끼 순페이
(72) 발명자	일본국 가나가와현 아즈기시 하세 398 고야마 준
(74) 대리인	일본국 가나가와현 229 사가미하라시 니시하시모도 1-4-23 가와사끼 유지 일본국 가나가와현 243 아즈기시 하세 304-1 가든하이츠 105 이병호, 최달용

설사첨구 : 없음

(54) 반도체 집적 회로

요약

게이트 전극이 소스 및 드레인 영역으로부터 오프셋되는 오프셋-게이트 TFT 또는, 게이트 절연막이 증기 증착에 의해 형성되는 TFT를 이용하는 모노리식 액티브 매트릭스 회로에 있어서, 액티브 매트릭스 회로 뿐만 아니라 그 매트릭스 회로를 구동하기 위한 구동 회로도 P-채널 TFT를 이용하여 형성되는 모노리식 액티브 매트릭스 회로이다.

도면

도 1

양세서

[발명의 명칭]

반도체 집적 회로

[도면의 간단한 설명]

제1A도 내지 제1E도는 본 발명의 제1실시예에 따른 집적회로 제조 공정을 개략적으로 도시한 단면도.

본 건은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 첨구의 범위

청구항 1. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 반도체 집적 회로에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 박막 트랜지스터는 P-채널 형태이고, 최고산 상기 액티브 매트릭스 회로를 구성하는 박막 트랜지스터는 오프셋-게이트 형태인 반도체 집적 회로.

청구항 2. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 반도체 집적 회로에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 박막 트랜지스터는 P-채널 형태이고, 최소한 상기 액티브 매트릭스 회로를 구성하는 박막 트랜지스터의 게이트 전극은 게이트 전극을 구성하는 물질의 산화물과 코팅되는 반도체 집적 회로.

청구항 3. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 반도체 집적 회로에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 박막 트랜지스터는 P-채널 형태이고, 800°C 미하의 온도에서 형성된 게이트 절연막을 갖는 반도체 집적 회로.

청구항 4. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 반도체 집적 회로에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 박막 트랜지스터는 P-채널 형태이고, 구동 회로를 구성하는 박막 트랜지스터 중 최소한 하나의 트랜

지스터는 오프셋-게이트 형태인 반도체 접적 회로.

청구항 5. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 반도체 접적 회로에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 박막 트랜지스터는 P-채널 형태이고, 구동 회로를 구성하는 박막 트랜지스터중 최소한 하나의 트랜지스터는 게이트 전극을 구성하는 물질의 산화물과 코팅되는 반도체 접적 회로.

청구항 6. 절연 표면상에 여러 박막 트랜지스터로 구성된 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동회로를 구비한 액티브 매트릭스 액정 표시 장치에 있어서, 상기 액티브 매트릭스 회로 및 구동 회로를 구성하는 모든 박막 트랜지스터는 P-채널 형태인 액티브 매트릭스 액정 표시 장치.

청구항 7. 액티브 매트릭스 회로 및 그 매트릭스 회로 구동용 구동 회로에 이용된 모든 박막 트랜지스터가 P-채널 형태로 되어 있는 상기 액티브 매트릭스 회로와 그 매트릭스 회로 구동용 구동 회로를 절연 표면상에 포함하는 액티브 매트릭스 액정 표시 장치 기판과, 상기 액정 표시 장치 기판에 설치된 CMOS반도체 캐릭터 구비하는 반도체 접적 회로.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1

